



高速 PCB 多板互联的电源完整性分析^{*}

牛森, 张敏娟, 银子燕

(中北大学 信息与通信工程学院, 太原 030051)

摘要: 针对 PCB 多板互联的非理想连接以及多电源电压的压降损失, 提出了一种基于电源分配网络的仿真设计方法, 对由底板 12 V 输入电压逐级降压至核心板主芯片的 1.1 V、1.5 V 供电电压的电源网络进行仿真分析。主要涉及 3 个方面: ①直流压降, 通过选择 ESR 更低的电感器、加宽主控芯片电源引脚的覆铜面积等措施使得主控芯片的 IR Drop 从 226.24 mV 降至 41.10 mV; ②电流密度, 仿真得到电流密度为 70.40 A/mm², 低于 100 A/mm², 符合设计标准; ③过孔通流能力, 增加过孔数量使得过孔处电流从 1.172 A 降至 0.556 A。仿真结果表明, 此方法有效降低了多板互联 PCB 电路潜在的压降损失风险, 提高了电源系统的可靠性和稳定性。

关键词: PCB; 电源完整性; IR Drop; 电流密度; 过孔通流能力; CS3516

中图分类号: TN914.3

文献标识码: A

Power Integrity Analysis of High-speed PCB Multi-board Interconnection

Niu Sen, Zhang Minjuan, Yin Ziyao

(School of Information and Communication Engineering, North University of China, Taiyuan 030051, China)

Abstract: Aiming at the non-ideal connection of multi-board interconnection of PCB and the IR Drop loss of multi-power supply voltage, a power distribution network based on PCB is proposed. The simulation analysis of the power supply network from the 12 V input voltage of the base plate step by step down to the supply voltage of the main chip of the core board 1.1 V and 1.5 V. It mainly involves three aspects: DC voltage Drop, the IR Drop of the main control chip is reduced from 226.24 mV to 41.10 mV by choosing inductors with lower ESR and broadening the copper covering area of the power pin of the main control chip. Current density, the current density obtained by simulation is 70.40 A/mm², less than 100 A/mm². The through-hole flow capacity, increase the number of through-holes, so that the current at the through-hole decreases from the highest 1.172 A to the highest 0.556 A. The simulation results show that this method can effectively reduce the potential voltage drop loss risk of multi-board connected PCB circuit and improve the reliability and stability of power system.

Keywords: PCB; power integrity; IR Drop; current density; through-hole flow capacity; CS3516

0 引言

随着集成电路工艺的不断发展, 电子设备的集成度越来越高, 性能也在不断加强。当前, 系统的核心供电电压越来越低, 而总的工作电流和布线密度则越来越大, 从而导致直流问题日益突出。为了设计一个稳定可靠的电源系统, PI^[1] 仿真分析已被视作高速电路设计过程中不可或缺的环节之一。目前, 对 PCB 电源完整性的研究比较多, 但大多是单板研究。本文以 CS3516 的 6 层高速底板和 8 层高速核心板为对象, 对多板互联的高速 PCB 的直流压降、电源密度以及过孔通流能力进行分析优化, 使通过连

接器连接的多板电源系统符合电源完整性的设计要求。

1 IR Drop 直流压降分析综述

IR Drop^[2] 指电源和地网络上电压的下降或者升高的一种现象, 是指电路在直流工作时由直流电阻造成的电压降。当前芯片的制作工艺已突破到纳米级别, 同时电路板上的走线也越来越密集, 导致单位面积内电流急剧上升, 再加上芯片与芯片之间的金属互联线宽度越来越窄, 这就使得整个电源网络中的电阻值变大, 当电源电流从电源端到达器件端时就会损失一部分电压, 因此在电源网络的局部会存在一定的 IR 压降。图 1 所示为一个从电源焊盘到负载的电源网络示意图。图中, R1 和 R2 表示从电源焊盘到逻辑器件之间的互连线上的电阻, R3~R6 表示逻辑器件与电源公共回路之间的电阻值, G1~G3 是芯片中的逻

^{*} 基金项目: 国家青年科学基金项目—弹光调制干涉仪稳定控制及快速光谱重建方法研究(61505180)。

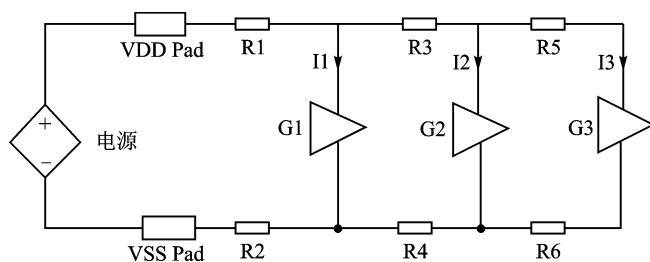


图1 电源网络示意图

辑器件^[2]。

对 G3 来说,在 VDD Pad 到 G3 的电源端存在电阻 R1、R3、R5,当 G3 工作时会有电流流过这些电阻,从而在 VDD Pad 到 G3 的电源端存在一定的压降,使得 G3 的电源端电压低于 VDD Pad 所提供的电压,而这个损失压降与电源网络的 R 和流过这个网络的电流 I 有关, $V=I \times R$,从而被称为 IR Drop。假设这个电源网络中只有 G3 在工作,那么 G3 的 IR Drop 为:

$$IR_{G3} = I3 \times (R1 + R3 + R5) \quad (1)$$

而对于 G2 这个逻辑器件,由于流过 G3 的电流同样流过 R1 和 R3,导致 G2 端也存在一个 IR Drop,其数值为 $IR_{G2} = I3 \times (R1 + R3)$ 。也就是说,每一个器件的电流都会对其他器件的 IR Drop 造成影响。假设电源网络中的逻辑器件 G1~G3 同时存在翻转,就会在瞬间有很大的电流(称为峰值电流),峰值电流会导致网络上瞬间 IR 压降很大,产生更大的 IR Drop。高速数字电路中会存在同步时钟网络、Data path、Memory word line driver 等,因此,一定程度的 IR Drop 是不可避免的。

在实际设计一个电路板时,常常由于电源网络结构设计不合理而导致许多 IR Drop 问题。这些问题表现为:①电路板上的器件由于过压或者欠压而不能正常工作;②局部区域电流密度过大,引起此区域温度持续升高甚至烧毁;③I/O 网络中的电阻过大,导致有用信号严重衰减。

由上文叙述可知,IR 压降的大小决定于从电源引脚、Pad 到所计算的元器件、逻辑门单元之间等效电阻的大小,要想降低 IR 压降,就需要减小电源网络中器件之间互连线的等效电阻。PCB 上的互连线为铜导体^[3],而导体本身存在直流电阻,电阻的大小与过流面积有关。在直流情况下,电流均匀分布在导体的横截面积内,过流面积即横截面积,单位长度直流电阻表示为:

$$R_{DC} = \frac{1}{\sigma A} \quad (2)$$

式中, σ 表示电导率, A 表示过流面积。铜的电导率为 $\sigma = 5.8 \times 10^7$ S/m,改变互连线线宽或者增加覆铜面积都可以有效减小走线的直流电阻。

2 仿真条件及结果分析

2.1 仿真条件

本项目是以 CS3516 的 6 层高速底板和 8 层高速核心板为对象进行 IR Drop 多板互联仿真分析,仿真软件使用的是 Cadence Sigrity 软件包中的 Power DC 组件。

核心板主芯片采用 HI3516D,主频为 0.9 GHz,供电电压 VDD_CORE 为 1.1 V;DDR3 数据频率可达 1.6 GHz,接口电压 DDR_IO 为 1.35 V/1.5 V。外接电源 12 V 从底板 DC2026 接口进入,通过一系列 LDO 及 DC-DC 电源芯片的降压,经过 2 个插针式连接器连通至核心板,最后到达 HD3516D 芯片供电。

多板互联的 PI 仿真不同于单板仿真,要考虑到互联引脚存在一定的阻值,本次仿真依照连接器的 DataSheet 将连接器引脚的阻值设为 0.1 Ω 。同时根据实际选用材料将软件中的电路板板材设置为 FR4,芯板介质层设置为铜,过孔的铜壁厚度设置为 1.4 mil,填充材料使用 SolderMask。

2.2 仿真结果分析

(1) 直流压降分析

在高速电路设计中,由于电压分类的增多而带来大量平面层分割、不理想的信号线和电流路径的分布,将直接导致 PDN 的直流供电受到影响,因此对电源平面进行直流压降仿真有利于指导电源平面的设计。图 2 和图 3 分别为底板和核心板的电压分布图,图 4 为核心板的 IR Drop 分布图。

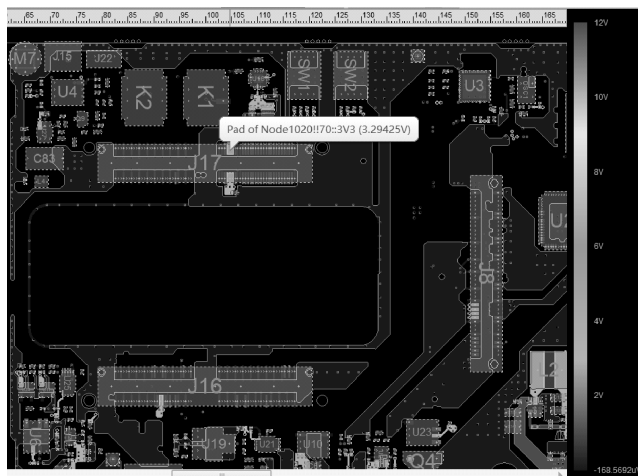


图2 底板电压分布图

从电压分布图上可以直观看出核心板电源模块的分布位置及走向。从图 3 中可以看到 3.3 V 电源经过底板的一系列器件及互连线到达连接器后电压衰减为 3.294 V,从底板经过连接器到达核心板后,连接器的电源

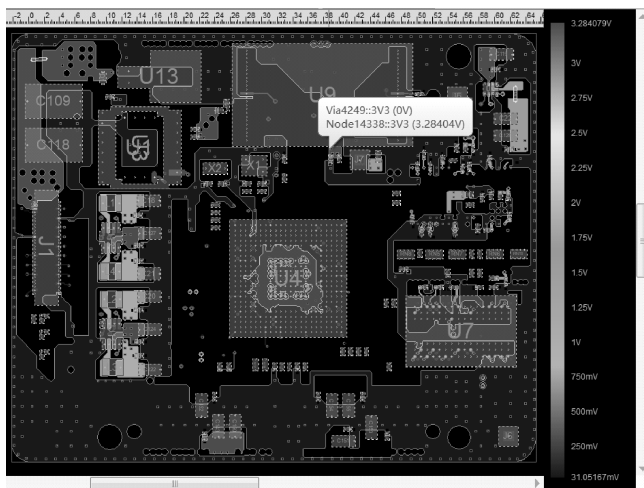


图3 核心板电压分布图



图4 核心板 IR Drop 分布图

处插针电压为 3.284 V,共衰减了 16 mV。连接器存在一定的损耗,从底板流入到核心板的电压不再是理想的 3.3 V 与 0 V。3.284 V 经过两个 3.3 V 转 1.1 V 的 LDO 电路,并最终到达主控芯片 U4。

主控芯片 U4 处的 IR Drop 最大为 226.24 mV,超出了芯片 DataSheet 规定的浮动范围(1.1 V×5%=55 mV),过大的 IR Drop 会造成 U4 供电电压不足,使其无法正常工作。

分析仿真结果可知,芯片 U4 的供电电压经 LDO 转换后由电感器输出后有明显的损耗,检查电感器后发现是因为电感器自身的 ESR 过大造成了 IR Drop 过大。经损耗后的电压到达芯片 U4 处,由于该区域的电源网络覆铜面积过窄,导致连线上的电阻值较大,从而使得此处的 IR Drop 进一步变大。根据 IR Drop 分析结果,可以很快找出电源网络的不合理之处进行改进,从而确保整个系统电

源的稳固性。根据分析,选用 ESR 更小的电感器,并且对 U4 的电源网络增加覆铜面积。如图 5 所示,整板的 IR Drop 下降到最大 41.10 mV,得到了明显的改善,满足了主控芯片的 IR Drop 限值。表 1 为 PCB 的 1.1 V 电源直流优化前后的结果。

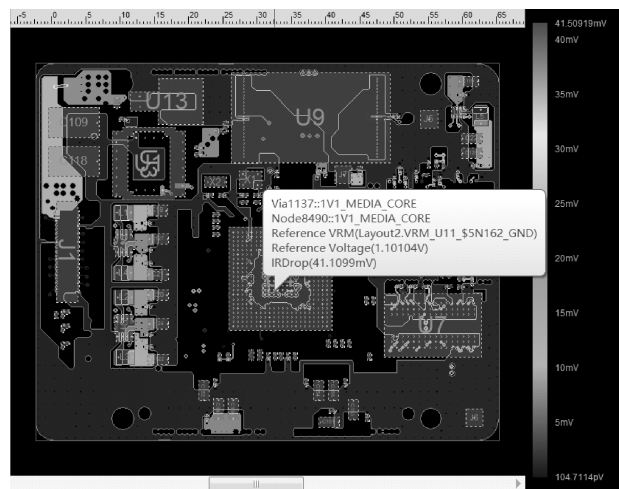


图5 优化后的核心板 IR Drop 分布图

表 1 直流压降优化结果

参数	电源平面/V	IR Drop(最大值)/mV
优化前	1.1	226.24
优化后	1.1	41.10

(2) 电流密度及过孔通流能力分析

现在 IC 需要的电流越来越大,当大电流通过一个狭窄区域时,通常会产生较大的电流密度,从而导致 PCB 板局部温度变高,同时大电流的通过也要求过孔有足够的通流能力,直流仿真可以很好地解决这一问题。

图 6 和图 7 分别为核心板电流密度分布图以及过孔电流分布柱状图。从图 8 可以看到整个电路板的电流密度最大为 70.40 A/mm²。按照 inter 规范,最大不能超过 100 A/mm²,符合设计安全要求。

而在核心板的过孔电流分布柱状图上可以看到电路板上过孔电流最高达到 1.172 A,主要分布在 U11、U12 电源处,此处使用的过孔孔径大小为 10 mil。过孔通流能力的计算公式为:

$$I=KT^{0.44}A^{0.725} \quad (3)$$

式中,I 为最大通流,单位为安培(A);K 是与环境相关的常量,分别为内层线和外层线,内层线的取值为 0.024,外层线的取值为 0.048;T 为通流路径上最大容许的温升,单位为℃;A 为通流路径的横截面积,单位是平方密耳(mil²)。由此可以计算出 10 mil 孔径的过孔在温升

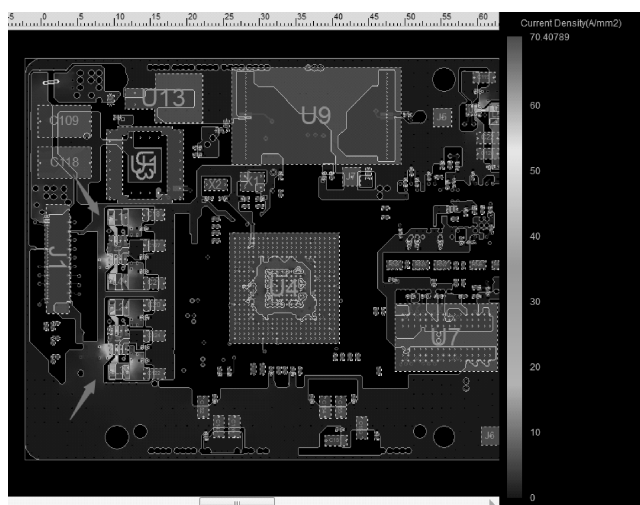


图6 核心板电流密度分布图

10 度的情况下通流能力为 1.18 A,工程上为了保证设计裕量常取 1 A。对比发现,U11、U12 处的过孔电流明显过大,而长期超过且临近最大电流容易造成过孔老化和温升快等问题,造成过孔或者电路板的损坏。

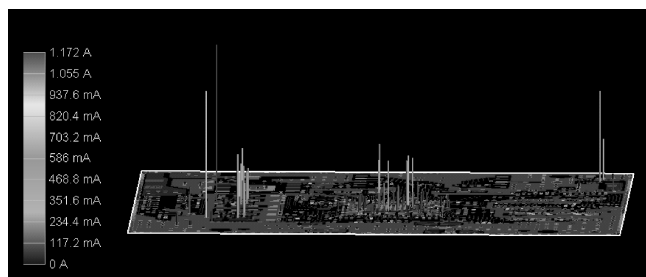


图7 核心板过孔电流分布柱状图

在保证电路信号质量的前提下,常用且有效的解决办法包括:①增加过孔的数量,但要放置得当,避免形成瑞士干酪状布局;②增大过孔的孔径。由于此处区域的走线过于密集,增大孔径会导致与过孔附近的线短路,因此此处选择在走线的间隙增加过孔数量来进行优化。

在 U11、U12 靠近 GND 引脚处,将回流过孔均增加到 3 个,共同分担电流。如图 8 所示,优化后 U11、U12 的回流过孔上的电流降为最大 556.7 mA,效果显著。表 2 为过孔电流优化前后的结果,优化后电源平面的特性得到改善。

表2 过孔电流优化前后的结果

参数	电源 U11、U12 处最大过孔电流/A
优化前	1.172 0
优化后	0.556 7

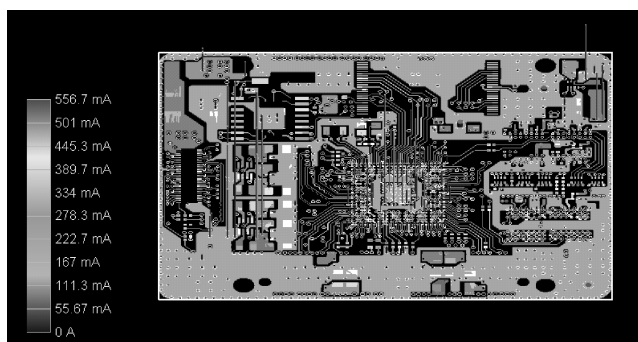


图8 核心板过孔电流分布图

3 结 语

本文以典型的 CS3516 处理器底板加核心板为对象,考虑互联部分的非理想情况,对多板互联高速 PCB 的电源完整性加以详细分析,并进行 IR Drop 直流压降的仿真验证。从电压压降、电流密度、过孔通流能力 3 个方面对由底板 12 V 输入电压逐级降压至核心板主芯片的 1.1 V、1.5 V 供电电压的电源网络进行分析,提出了通过增大电源及主控芯片输入/输出端的铜皮面积、更换低 ESR 器件、增加过孔数量等措施优化电路方案。使 12 V—1.1 V/1.5 V 电源平面的压降符合电源完整性设计要求,对于单板及多板互联 PCB 的设计及后续调试节约设计成本、缩短设计周期具有一定的指导意义。

参考文献

- [1] 孟祥胜,车凯,栗晓峰,等.高速 PCB 电路电源完整性仿真分析[J].电子技术应用,2019,45(9):50-52,59.
- [2] 孙艳.低功耗集成电路中 IR Drop 分析与工程实践[J].集成电路应用,2017,34(6):69-73.
- [3] 石光.基于 PCB 传输线补偿结构的信号与电源完整性设计和分析[D].杭州:浙江大学,2019.
- [4] 李楷.高速 PCB 设计中信号及电源完整性分析与应用[D].徐州:中国矿业大学,2016.
- [5] 于哲东.DDR 总线信号和电源完整性的仿真技术研究[D].天津:天津大学,2020.
- [6] Sjiariel R. Power integrity simulation of power delivery network system[C]//Microwave&Optoelectronics Conference, Berlin:IEEE,2016:30-35.

牛森(硕士研究生),主要研究方向为高速电路设计、信号完整性和电源完整性分析;张敏娟(副教授),主要研究方向为高速数据获取与处理技术、信号完整性和电源完整性分析;银子燕(硕士研究生),主要研究方向为信号完整性和电源完整性分析。通信作者:牛森,312772860@qq.com。

(责任编辑:薛士然 收稿日期:2023-05-18)